

B20

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-307974

(43) 公開日 平成4年(1992)10月30日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788 29/792 27/115		8225-4M 8831-4M	H 0 1 L 29/78 27/10	3 7 1 4 3 4
審査請求 未請求 請求項の数1(全 4 頁)				

(21) 出願番号	特願平3-73239	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成3年(1991)4月5日	(72) 発明者	吉見 正徳 大阪市阿倍野区長池町22番22号 シャープ 株式会社内
		(74) 代理人	弁理士 野河 信太郎

(54) 【発明の名称】 電気的消去可能不揮発性半導体記憶装置

(57) 【要約】

【目的】 ソースオフセットに選択ゲートを構成したE E P R O MにおけるF-Nトンネリングによる消去を円滑化して、素子の縮小化を図る。

【構成】 1つのソースラインとその両側のドレインラインとで2つのE E P R O Mセルを構成し、各フローティングゲートの一方側をホットエレクトロンによる書き込み部位とし他方側をF-Nトンネリングによる一括消去部位として機能分離する。

なうことができなかった。また、この場合、プレイスト

【0009】この発明は、かかる状況下なされたものであり、ことにソース側オプセット部に選択ゲートを構成したEEPROMにおいても、ソース側からのF-Nトランジスタによる消去を可能とする構造を提供しようとするものである。

【0010】

【問題を解決するための手段】がくしてこの発明によれ

(a) 各々ノ入オツセツトを介して上配ゲ一ノ領
アルゲ一トを備へ、上配一対の各フロア・チャインジナ
グ及びそのフロア・チャインジナ上に配置されるコントロ
ルゲ一ト領域上に配置される一対のフロア・チャインジナ
及びその上で設置される一対のゲート領域、この

系上に位置して一方のフレット移動量のみを決定する。つまり、フレット移動量とフレット位置との関係は、フレット位置が一定の場合、フレット移動量に比例する。また、フレット移動量とフレット位置との関係は、フレット移動量が一定の場合、フレット位置に比例する。このように、フレット位置とフレット移動量との関係は、フレット位置とフレット移動量の積に比例する。この関係を式で表すと、
$$F = k \cdot D \cdot L$$
となる。ここで、 F はフレット位置、 D はフレット移動量、 L はフレット長、 k は比例定数である。

それら。【0011】この発明は、上記問題を解決すべく、プロセッサ・イン・ザ・クラウドを概念的に書き込み部位と消去部位に分け、消去部位側ではソース・オブジェクトを削除することなく、プロセッサ・イン・ザ・クラウドを配設して1つの消去部位を構成し、書き込み部位側ではソース・オブジェクトを設けて1対の書き込み部位を構成するという手段を講じたものである。

【0012】
【作用】テレビン樹動香き込み部においては、ソーヌオ
フセットが確保されておりこのオフセット上のコントロ
ールゲートを選択ゲートとすることができ、かつホッ

る。

【0013】一方、ソニア駆動装置においてはソニアセットを有さないため、ソニア領域の両側に配置されたトランスル化膜を介してソニア側からのF-Nトンネルから行なわれるため、各々異なる向き及び行なわれる。エレクトロンの注入がソニアセットを有しない各トランスル化膜から行なわれるため、各々異なる向き及び行なわれる。

ネリソフが行なわれ、円滑な消去が一世で行なわれることとなる。
[0014]
【実施例】以下、添付図面に示す実施例に基づいてこの

発明を詳説する。

【0016】これらの図に示すように、この発明のEEPROMは、シリコン基板表面のソースライン3とその両側に配置される一対のドレインライン4、4との間のゲート領域上に、絶縁膜を介してポリシリコンからなる1対のし字状フローティングゲート2を配設してなり、さらに、このフローティングゲート2上に層間絶縁膜を介して、共通するポリシリコンからなるコントロールゲート5を配設してなる。

【0017】上記フローティングゲート2は、図2 (イ)に示すように、A-A'断面においては、ソースオフセット9を保ってゲート領域のゲート酸化膜1、1上に位置する一対の書き込み部位(狭幅部分)を有する。ここでソースドレイン幅は1.6~2.0 μm 、ソースオフセットは0.8~1.0 μm とするのが適している。かかる書き込み部位上のコントロールゲート5は、各々のソースオフセット上で選択ゲートとしても機能する。

【0018】一方、図2（ロ）に示すように、B-B'断面においては、ソースライン3の両側に配置されたトンネル酸化膜6上を被覆する消去部位（広幅部分）を有している。なお、図中、7は、ロコス酸化膜からなる素子分離領域である。

【0019】かかる構造のEEPROMにおいては、上記一対の書き込み部位において、各々ドレイン側からフローティングゲートへのホットエレクトロンの注入による書き込みが行なわれる。そして、消去部位においては、ソース側から両フローティングゲート2、2へ括してF-Nトンネリングによる消去が行なわれることとなる。そして、上記ホットエレクトロンの注入及びF-Nトンネリングがコントロールゲートを選択ゲートとして制御されることとなる。

【0020】かかる図1のEEPROMは、例えば以下のようにして作製することができる。まず、図3に示すように、シリコン基板の所定の領域にロコス酸化法により、素子分離領域7を形成した後、メモリーセルのソース構成ラインのイオン注入及び配線のイオン注入を行ってDDD構造のソースラインを形成する。表面を熱酸化に付して全面に例えば200～300Å程度のゲート酸化膜1を形成し、フォトリソグラフィのバターニング及びエッチングを行なうことにより、その一部にトンネル酸化膜用窓を形成し、フォトレジストの除去後、熱酸化を行なうことにより、各々、一対のトンネル酸化膜6を形成する。

【0021】次に、CVD法により全面にポリシリコンを堆積し、N型不純物拡散してフォトリソグラフィするこ

【0022】上記フローティングゲート2の形成後、図6に示されるようにフォトリソスト8を用いたフォトリソグラフィにより、メモリーセルのドレイン構成ラインに窒素をイオン注入してドレインラインを形成する。

【0023】この後、フローティングゲート2の書き込み部位上に各々CVDによる層間絶縁膜(SiO₂)を被覆形成した後、ポリシリコンの堆積層へのN型不純物拡散並びに堆積層のフォトリソグラフィによるパターンニング及びエッチングを行なうことにより、図7に示すごとく、コントロールゲート5を形成してこの発明のEEPROMが得られる。

[0024]

【発明の効果】以上の様に、この発明のEEPROMによれば、ソース側のオフセット部を選択ゲートとする場合においても、ソース側より円滑に消去操作できるので、独立して消去用ゲートを設ける場合と比べメモリーセル占有面積が著しく減少され、さらなるEEPROMの高集積化を図ることが可能となる。

【0025】さらに、ホットエレクトロン発生効率の良いドレイン接合及び、消去用の高電圧においてもリーク電流の少ない、ソース接合を別々に最適化できる。従って、ドレイン側よりホットエレクトロンにより書き込み、ソース側よりF-Nトンネリングにより消去する電気的消去可能不揮発性半導体記憶装置の製造の観点からも、その設計がより容易となり、製造工程も容易となる利点も得られる。

【図面の簡単な説明】

【図1】この発明の一実施例のEEPROMの平面構成説明図である。

【図2】(イ)は、図1のA-A'線断面説明図、(ロ)は、B-B'線断面説明図である。

【図3】図1のEEPROMの製造工程を示すレイアウト図である。

【図4】 図3に続くレイアウト図である。

【図5】図1に続くレイアウト図である。

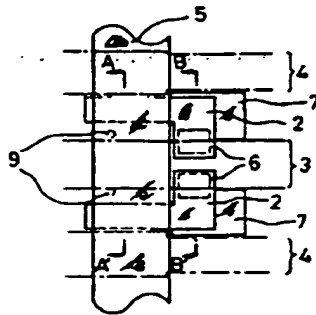
【図6】 図5に続くレイアウト図である。

【図7】図6に続くレイアウト図である。

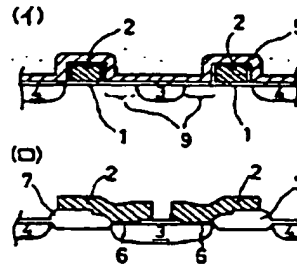
【符号の説明】

- 1 ゲート酸化膜
- 2 フローティングゲート
- 3 ソースライン
- 4 ドレインライン
- 5 コントロールゲート
- 6 トンネル酸化膜
- 7 素子分離領域
- 8 フォトレジスト
- 9 ソースオフセット

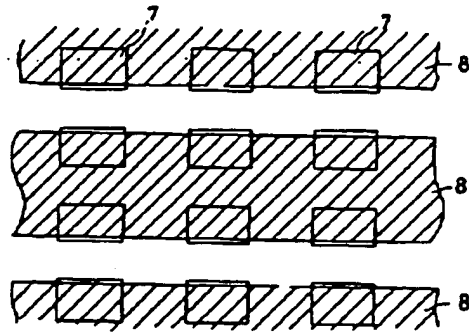
【図1】



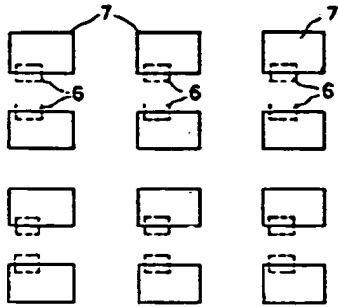
【図2】



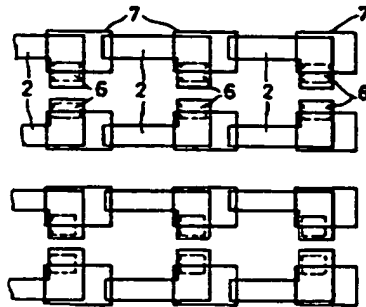
【図3】



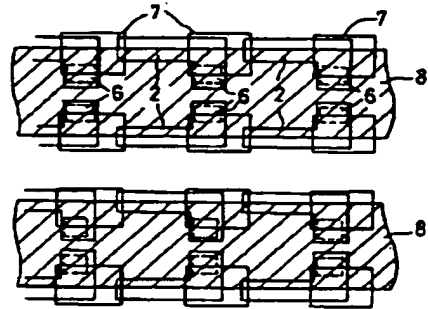
【図4】



【図5】



【図6】



【図7】

